

一种环形 Buffer 自适应 NoC 路由器设计

韦良芬^{1,2}, 张佑生², 王 勇³

(1 安徽三联学院 计算机科学与技术系, 安徽 合肥 230601; 2 合肥工业大学 计算机与信息学院, 安徽 合肥 230092;
3 安徽工程大学 计算机与信息学院, 安徽 芜湖 241000)

摘 要: 在片上网络(Network-on-Chip, NoC)系统中, 对路由器缓存进行有效的设计及管理, 能够有效提高系统多方面的性能. 设计了一种环形缓冲结构的自适应路由器, 该路由器中所有通道的缓冲资源相互连接形成一个封闭的环, 繁忙的输入通道能够共享其他通道的空闲缓冲资源. 2D Mesh 网络中的实验结果表明, 环形缓冲结构的路由器与传统路由器相比, 能量消耗得到了降低, 缓冲使用缩小了 5 倍. 此外, 大量的仿真研究表明, 该路由器结构提高了网络性能, 减少了平均信息延时.

关键词: 片上网络; 路由器; 自适应; 缓存结构

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)01-0017-04

Design of a Ring Buffer Adaptive Router for Network-on-Chip

WEI Liang-fen^{1,2}, ZHANG You-sheng², WANG Yong³

(1 Department of Computer Science and Technology, Anhui Sanlian University, Hefei 230601, China;

2 School of Computer and Information, Hefei University of Technology, Hefei 230092, China;

3 School of Computer and Information, Anhui Polytechnic University, Wuhu 241000, China)

Abstract: In the system of the Network-on-chip (NoC), design and management of router cache can improve performance of system effectively in many aspects. This paper designed a ring buffer adaptive router. In the router of ring buffer structure, buffer resources of all channels are connected to each other, and form a closed ring, when an input channel is busy, it can share the free buffer resources of other channels. Implementation results show that energy consumption has been reduced, buffer using reduces 5 times when compared with a traditional router in 2D Mesh network. In addition, a large number of simulation studies show that the router improves the network performance, and reduces the average message delay.

Key words: network-on-chip; router; self-adaption; the buffer structure

1 引言

一个片上网络(Network-on-Chip, NoC)结构的芯片由各种嵌入式内核通过专用的信号线与芯片网络中的各个路由器相连, 并进行数据包的路径选择^[1]. 这些嵌入式内核可以是 DSP、处理器、存储器、外设控制器和常用逻辑设备等. 在当前的片上网络系统中, 系统资源不能被充分利用, 导致了资源的

极大浪费. 片上网络中一个最主要的饥饿资源是路由缓冲区^[2], 而且, 一个片上路由器占用的面积主要是路由缓冲区的面积^[3]. 因此, 在构建高性能和资源节约型的片上系统过程中, 缓冲区结构设计起着关键性的作用.

为了实现高通信率情况下, 系统能够高效地利用所有的缓冲资源, 基于 2D Mesh 拓扑结构提出了一种新的缓冲结构的路由器, 该路由器能够根据网

收稿日期: 2013-02-23; 修回日期: 2013-04-29

基金项目: 中国博士后科学基金(2013M531251); 安徽自然科学基金(1308085MF95); 安徽高校自然科学基金(KJ2013B090); 安徽省质量工程项目(2012jyxm589)

络的通信需求,动态调整缓冲深度,实现各个通道缓冲资源的相互共享.虽然是基于 2D Mesh 拓扑结构提出并进行相应的性能评估.但是,只要拥有无死锁的路由算法作保证,该路由器结构仍然适用于其他拓扑结构.

2 路由器设计

路由器是 NoC 最基本的组成部分,对资源利用率、数据传输延迟和吞吐量等方面都会产生影响.为了减少路由器中阻塞数据包的数量,现有的研究中大多引入了虚通道(virtual channel, VC)技术.但是在高流量条件下,大量的 VC 分配和 VC 仲裁使物理缓冲区分配变得更加复杂.此外,过多的 VC 会拉长数据包在网络中的传输距离.文献[4]中的研究表明,在一些流量模式下,给 VC 分配更多缓冲资源比增加更多的虚通道更能提高系统的性能.

本文从缓冲区结构及管理角度出发,考虑 NoC 的功耗和面积开销等制约因素的同时,设计了一种能够充分缓利用缓冲资源的环形缓冲结构的自适应路由器.当某个通道上通信率很高时,在 2D Mesh 拓扑结构的网络中,可以增加其缓冲区深度高达五倍.

2.1 传统路由器体系结构

传统路由器架构大多数为固定的和静态的结构,缺乏灵活性.传统路由器结构如图 1 所示.

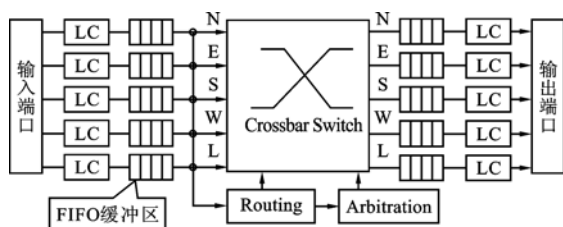


图 1 传统路由器结构示意图

LC 为链路控制单元,负责调节路由器中传输的数据流;路由器的每个输入端口都有一个 FIFO 关联的控制逻辑,控制逻辑中包含一个路由决策单元,并根据路由算法确定数据包的转发.路由器的每个输出端口连接一个仲裁器,用于发送数据包和控制信号.在一个给定的时间,如果有几个包请求相同的输出端口,仲裁机制只选择一个数据包进行输出^[5].如果不同的通道通信率几乎相同时,这种类型的路由器架构是相当有效的.然而,在实际应用中,在每个方向上的通信率通常是不同的,因此,一个自适应的网络通信核心更能提高系统的整体性能.

2.2 环形缓冲自适应路由器体系结构及工作原理

环形结构的缓冲区是指将路由器中所有通道的缓冲资源相互连接形成一个环,任何需要更大缓存的通道都可以从其他通道分配空闲的缓冲资源.图 2 所示为环形缓冲结构自适应路由器结构示意图.

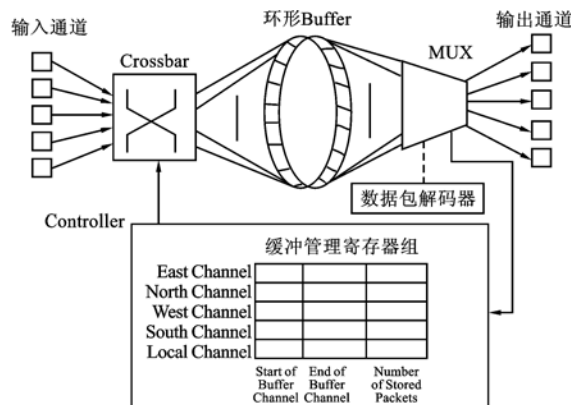


图 2 环形缓冲结构自适应路由器结构示意图

在环形缓冲区中,每个输入通道有三个寄存器,分别用于存储每个通道缓冲区的起始地址和末尾地址以及相应通道缓冲区中数据包的数量.路由器中各个通道缓冲区的深度能够根据通道通信率的需求逆时针移动缓冲位置并进行自适应调整,同时各个寄存器的内容也会自动的更新.这种结构能够确保路由器中所有的缓冲资源可以被任何有通信需求的输入通道所使用.另外,为了确保缓冲通道移动时具有充分的灵活性,在输入通道和环形缓冲区之间部署了一个交叉开关以实现环型缓冲单元与输入通道的连接.当输入通道有可用的缓存空间时,将被分配给输入数据包的头微片.数据包解码器解码得到输入数据包的目标地址后,控制器控制多路转接器 MUX 直接将缓存通道中的微片传输到相应的输出通道,直到将缓存中存储的数据包的最后一个微片被路由为止.

例如,如果路由器东边端口分配的缓冲空间已满,控制器将按逆时针方向检查其他通道分配的缓冲资源,从而确定环形缓冲区中的空闲单元.假如控制器检测到北通道有空闲的空间,则北通道将立即为东边的输入数据腾出缓冲空间并移入东边存储的数据包.同时两个通道缓冲区的缓冲管理寄存器也将根据环形缓冲区的移动而更新.同样,如果控制器首次发现空闲缓冲空间在西部通道,则东部,北部和西部缓冲区都将发生移动,相应通道缓冲管理寄存器也都被更新.路由器通过这种方法,可以确保适应输入数据包所需的最大空间,从而提高了 NoC 的服务质量.

那么路由器体系结构中使用这种环形缓冲区结构会不会增加了数据在缓存中的移位呢?假如输入通道分配的缓存资源能够容纳所有传入的数据包,那么环形缓冲结构的路由器的移位机制和传统路由器的移位机制是相同的.因此,该路由器可以和传统的路由器一样处理所有没有被阻塞的数据包,而不需要增加任何数据的移位.但是,传统的路由器需要足够的缓冲区才不会产生阻塞,而环形缓冲区结构的路由器由于其灵活性,可以通过移动输入通道缓冲单元而增加缓冲深度.因此相对于静态路由器来说,环形缓冲区在本输入通道缓存充足的情况下不会增加缓冲区的移位,只有当本方向输入缓冲区不足时,才会发生额外的移位,而当本方向输入缓冲区不足时,静态路由器将拒绝继续传入数据包,从而导致阻塞的发生.

3 硬件实现结果

在 VHDL 语言的寄存器传输级(register transfer level, RTL)和 Xilinx 公司的 Virtex-2 XC2V6000 现场可编程门阵列(FPGA)中的实现结果表明,环形缓冲结构的路由器在硬件开销方面是较低的.

针对不同的环形缓冲区大小,用 Xilinx 功耗分析工具^[6]测量了环形缓冲路由器的功耗.并在文献[7]的 DyNoC 中将静态路由器和环形缓冲路由器的实验结果进行了比较.

图 3 所示,与传统路由器相比,环形缓冲路由器大大减少了内存的使用.环形缓冲路由器中内存的高效性主要是因为它的内存结构,它的内存能在 5 个通道之间共享,而在传统的静态路由器中,5 个通道的内存分配是相互独立的.因此,当缓冲区的大小增加时,静态路由器的面积开销也会急剧增加.

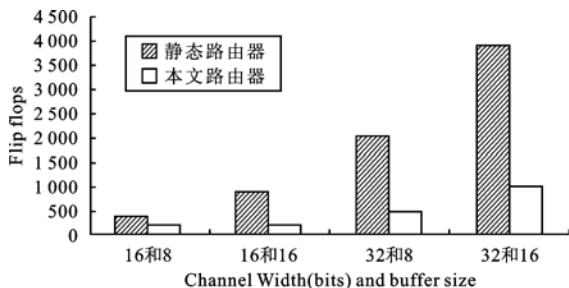


图 3 两种路由器不同情况下的内存开销

功耗是衡量路由器的一个很重要的因素^[8].图 4 中可以看出,与静态路由器相比,环形缓冲路由器的功耗非常低.这是因为静态路由器比环形缓冲路由器使用了更多的触发器.因此,当缓冲区的大小增

加时,环形缓冲路由器节省的功耗会更多.

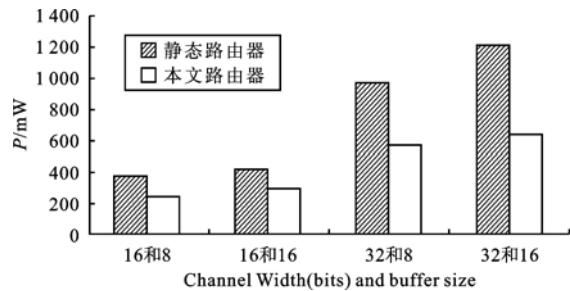


图 4 两种路由器不同情况下的功耗比较

为了检测环形缓冲路由器体系结构的效率及自适应能力,将它与传统的静态路由器以及文献[9]中提出的路由器通过仿真进行了性能对比.实验利用 OPNET 仿真软件搭建了不同路由器组成的 16 个节点的 2D-Mesh 结构的网络进行仿真.仿真过程中使用虫洞交换技术、XY 路由算法、数据包的大小是固定的 16 字节、缓冲区的大小设置为 8,时钟频率为 100 MHz.在随机通信模式下,比较它们在传输数据包时的服务质量.图 5 显示了 NoC 中分别使用传统路由器、文献[9]中提出的路由器以及环形缓冲路由器时的数据包传输率曲线图.

从图 5 可以看出,静态路由器缓冲区满时,数据包被阻塞,NOc 服务质量降低;文献[9]中提出的路由器,增加了无阻塞数据包的传递数量,因为它的缓冲区管理方式是可以尝试使用路由器中相邻通道的缓冲区,从而减少了阻塞数据包的数量;而环形缓冲路由器成功传递无阻塞数据包的百分比明显高于静态路由器和文献[9]中的路由器,这是由于它使用了高度灵活的缓冲区管理方式,可以最大限度地使用路由器中的所有缓冲资源,在当前网络环境下没有任何因阻塞而延迟传递的数据包.环形缓冲路由器由于其灵活的缓冲区管理模式,在高通信负载的情况下,输入通道可以使用路由器中所有缓冲资源,使其比静态路由器和文献[9]中提出的路由器具有更高的无阻塞传输率.

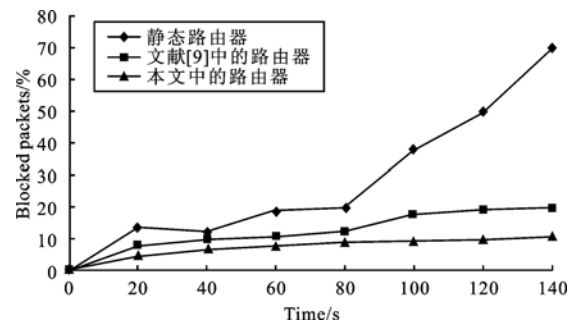


图 5 三种路由器数据包传输率曲线图

为了研究使用环形缓冲结构路由器构建的 NoC 网络和使用传统路由器构建的 NOC 网络的性能,使用离散事件对微片级网络进行仿真.下面提供的信息延时结果是在 16 个节点的 2D Mesh 网络中,微片长度为 8,均衡流量(uniform)模式下进行测试取得的数据.在均衡流量模式下,源节点产生的信息以相等的机率发送到网络中的其他节点.

图 6(a)~(b)是不同缓存深度情况下平均信息延时的仿真结果.平均信息延迟是指信息从产生到最后一个微片到达目的节点本地 IP 核所用的平均时间.试验中静态路由器体系结构中每个通道缓冲深度 B 分别设置为 10 和 20 微片,那么该路由器使用的总的缓冲区大小则为 50 和 100 微片.环形缓冲结构的自适应路由器中环形缓冲深度则分别设置为 30 和 60 微片.

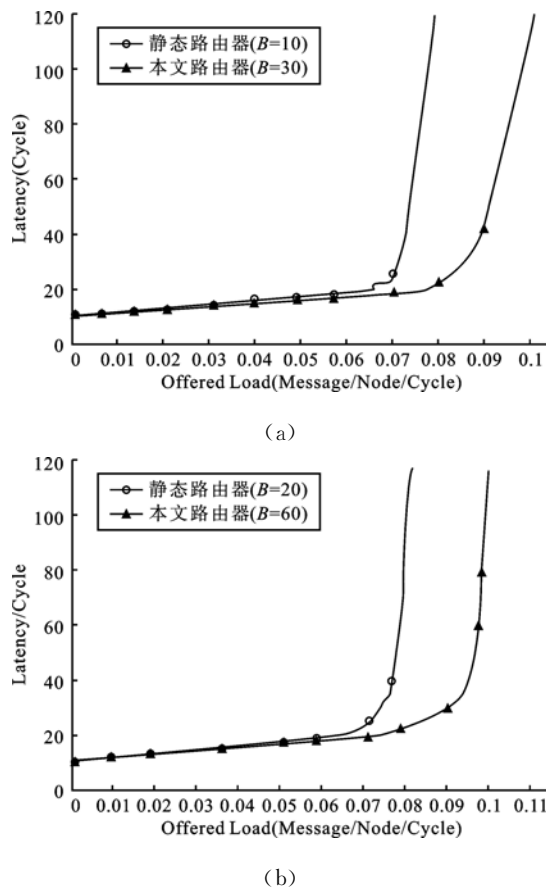


图 6 均衡模式下不同缓冲深度时静态路由器与本文路由器的平均信息延时

图 6(a)~(b)中的横坐标代表每个节点每个周期的信息产生率,纵坐标显示了平均信息延时.显示数字表明在轻度负载到中度负载的情况下,本文的自适应路由和静态路由器的执行情况几乎相同.然而在重流量负载,甚至网络开始接近饱和的时候,自适应路由器结构的信息延时明显低于

静态路由器.

4 结束语

为解决传统路由器缓冲资源相互独立,不能充分利用的问题,本文设计了一种灵活的环形缓冲区结构的路由器.该路由器能根据每个通道运行时的通信率自适应调整缓冲区的大小,实现了路由器中所有通道的缓存资源相互共享.

仿真研究表明,环形缓冲结构的路由器对提高网络性能有着明显的效果.在经历重中度网络通信时,甚至当网络负载开始接近饱和的时候,环形缓冲结构的路由器能够有效的降低消息的延迟.

参考文献:

- [1] 高明伦,杜高明. NoC: 下一代集成电路主流设计技术[J]. 微电子学, 2006, 36(4): 461-466.
- [2] Hu J, Marculescu R. Energy and performance-aware mapping for regular NoC architectures[J]. IEEE Trans on Computer-Aided Design of Integrated Circuits and Systems, 2005, 24(4): 551-562.
- [3] Hu J, Marculescu R. Application-specific buffer space allocation for networks-on-chip router design[C]// Proc. IEEE/ACM Int. Conf. Computer-aided design (ICCAD). San Jose, CA, USA, 2004: 354-361.
- [4] Nicopoulos C, Park D, Kim J, et al. A dynamic virtual channel regulator for network-on-chip routers[C]// Proc. 39th Annual IEEE/ACM Int. Symp. Microarchitecture (MICRO-39). USA, Orlando, FL, 2006: 333-346.
- [5] 欧阳一鸣,董少周,梁华国. 基于 2D Mesh 的 NoC 的路由算法设计与仿真[J]. 计算机工程, 2009, 35(22): 227-229.
- [6] 徐文波,田耘. Xilinx FPGA 开发实用教程[M]. 2 版. 北京:清华大学出版社, 2012.
- [7] Bobda C, Ahmadiania A. Dynamic interconnection of reconfigurable modules on reconfigurable devices[J]. IEEE Des. Test, 2006(22): 443-451.
- [8] Ramanujam R, Soteriou V, Lin B, et al. Design of a high-throughput distributed shared-buffer NoC router[C]// Fourth ACM/IEEE Int. Symp. Networks-on-Chip (NOCS). France, Grenoble, 2010: 69-78.
- [9] Matos D, Concatto C, Kologeski A, et al. Adaptive router architecture based on traffic behavior observability[C]// Proc. 2nd Int. Workshop on Network on Chip Architectures (NoCArc). USA, New York, NY, 2009: 17-22.

(下转第 24 页)

到相当.同时,节约了芯片内部的宝贵的硬件资源.

4.3 算法仿真结果与分析

本文使用软件平台为 intel i3 CPU 2.4 GHz,内存为 1 GB,Windows7 系统,Matlab7.0 上分别对加入 10%、30%、50%椒盐噪声的 cameraman 图像按照文献 2 进行仿真.硬件平台为 Altera 的 CycloneII 系列的频率为 50 MHz 的 EP2C8Q208C8 芯片对同一幅图像上以文献[3]与本文的算法进行操作.

为了说明本文中在硬件设计的结构上的简化,对图像处理效果上和处理的实时性上没有太大的影响,本文引进了峰值信噪比 PSNR(dB),平均绝对误差(MSE)和处理时间(ms)做客观评价标准^[7],评价标准的定义式如下:

$$MSE = \frac{1}{M \times N} \sum_{i=1}^M \sum_{j=1}^N [f(i, j) - g(i, j)]^2,$$

$$PSNR = 10 \lg \left[\frac{255^2}{MSE} \right],$$

$$MSE = \frac{1}{M \times N} [f(i, j) - g(i, j)]^2.$$

所得数据对比如表 4 所示.

表 4 客观评价对比

滤波方法	评价指标	加入的噪声密度			时间
		10%	30%	50%	
文献[1]	PSNR	26.402 5	24.027 1	21.774 3	20.062 4
	MAE	6.994 0	8.058 3	9.235 2	
文献[3]	PSNR	26.403 7	24.330 2	21.923 1	0.562 0
	MAE	6.897 0	8.049 2	9.210 8	
本文算法	PSNR	26.024 3	24.302 8	21.602 3	0.562 5
	MAE	6.839 0	8.048 4	9.192 0	

注:文献[1]中随着噪声密度增加,处理时间具有不稳定性,表 4 中的时间取三种情况下的平均值.

经过对表 4 和表 3 综合分析,可知硬件的资源的改进没有造成处理时间与理效果的损失.因此可得出本文算法的改进在图像处理系统中的可行性.

5 结束语

本文对原有的快速中值滤波算法进行了改进,结合 FPFA 的并行与流水线的特点,采用了 4 级流水线设计方法,对 3 * 3 滤波窗口只需 17 次比较、4 个时钟周期即可产生第一个中值,提高了中值滤波的速率,而且处理过程的稳定性,可靠性也有所改善.与已有的 FPGA 实现的算法相比较,硬件结构的设计得到进一步简化,节约了内部资源.通过验证,该算法能有效地滤除噪声,较好地满足高实时性要求.

参考文献:

- [1] 鲍华,樊榆波,饶长辉.基于均值查找的快速中值滤波算法[J].四川大学学报:工程科学版,2011,43(3):2.
- [2] 张小峰,刘羽.基于多级查找表的图像快速中值滤波算法[J].计算机工程与应用,2011,47(18):210-211.
- [3] 万海军,何东建,徐尚中.基于 FPGA 的图像中值滤波算硬件实现[J].微计算机信息,2008,24(7):3.
- [4] 仙云森.基于 FPGA 的图像处理算法研究及硬件设计[D].大连:大连理工大学硕士论文,2007.
- [5] Tavse S S, Jadhav P M, Ingle M R. Optimized median filter implementation on FPGA including soft processor [C]//International Journal of Emerging Technology and Advanced Engineering. Hyderabad, India, 2012.
- [6] 潘松,黄继业.EDA 实用教程:Verilog HDL 版[M].北京:科学出版社,2010.
- [7] 武英.一种图像椒盐噪声自适应滤除方法[J].微电子学与计算机,2008,26(1):148-151.

作者简介:

沈学利 男,(1969-),教授.研究方向为计算机网络安全和虚拟仿真等.

王肃国 男,(1987-),硕士研究生.研究方向为嵌入式图像处理.

(上接第 20 页)

作者简介:

韦良芬 女,(1975-),硕士,讲师.研究方向为片上网络、嵌入式.

张佑生 男,(1941-),博士生导师,教授.研究方向为计算机图形学、人工智能应用.

王勇 男,(1979-),博士研究生,副教授.研究方向为分布式计算、容错技术等.